
Вычисление эффекта влияния трассировочных элементов на надежность проекта в базисе программируемых логических интегральных схем

В.С. Рухлов, А.Г. Кустов, А.С. Михмель, Т.Ю. Исаева

Институт проблем проектирования в микроэлектронике, г. Зеленоград

Аннотация: В данной статье исследовано вычисление эффекта влияния трассировочных элементов на надежность проекта комбинационной схемы в базисе программируемых логических интегральных схем (далее ПЛИС). Приведена оценка надежности комбинационных схем в базисе трехвходовых ячеек ПЛИС, а также трехвходовых ячеек ПЛИС, с учетом трассировочных элементов. Предложены методы оценки надежности проекта на различных этапах маршрута разработки сбоеустойчивых проектов в базисе ПЛИС. Использование данных методов позволяет проектировать комбинационные схемы повышенной надежности в базисе реконфигурируемых интегральных схем без встроенных средств защиты.

Ключевые слова: надежность, оценка сбоеустойчивости, комбинационная схема, ПЛИС, инжектирование ошибок.

1. Введение

При оценке сбоеустойчивости комбинационных схем (далее КС) в базисе ПЛИС традиционно оценивается надежность базовых элементов ПЛИС – логических блоков (далее ЛБ) [1]. Типовой элемент трехвходовой ячейки ЛБ ПЛИС представлен на Рис. 1.

Системным, локальным шинам, блокам ввода-вывода и другим трассировочным элементам не уделяется внимания - ввиду закрытой архитектуры коммерческих ПЛИС [2], и сложности обработки большого количества элементов - как правило, это нескольких миллионов вентиляей, для крупных ПЛИС.

На Рис. 2, представлена комбинационная схема LGSynth89 c17 в виде исходного RTL представления (А), в базисе трехвходовых ЛБ ПЛИС (Б) [3] и в виде ЛБ ПЛИС с элементами, активными в ПЛИС после этапа размещения и трассировки. Ячейки ЛБ на этапах «Б» и «В» (Рис. 2), показаны схематически, однако их внутренняя структура состоит из мультиплексоров и элементов конфигурационной памяти [4] (показана на Рис. 1).

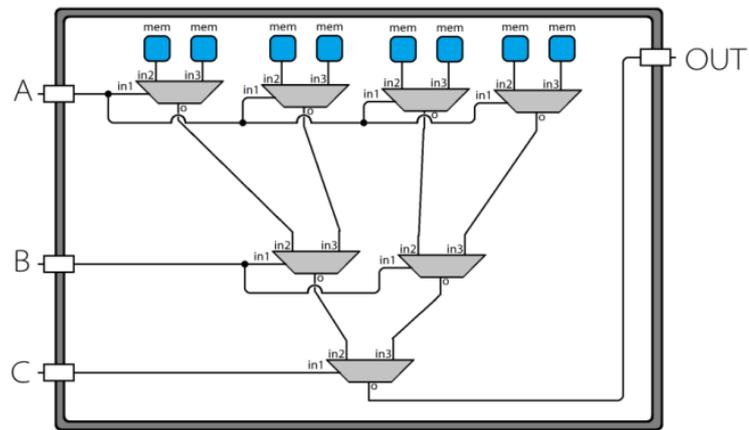


Рис. 1. - Модель ячейки ЛБ.

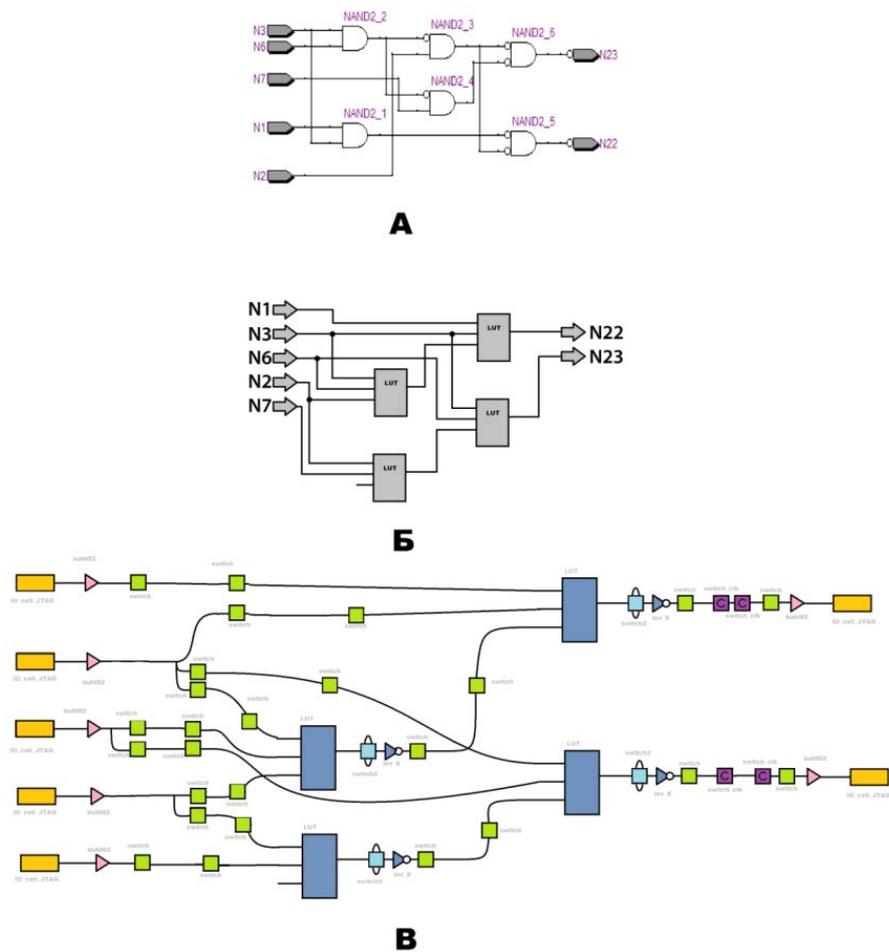


Рис. 2. - Эквивалентная модель LGSynth89 c17 бенчмарк-схемы проекта на этапах маршрута проектирования комбинационной схемы в базе ПЛИС. А – этап логического синтеза, Б – этап трансляции в ячейки логических блоков, В - этап трассировки и размещения.

В таблице 1 указано количество элементов, используемых на различных уровнях описания комбинационных схем в базисе ПЛИС, для некоторых бенчмарк-схем из набора LGSynth89.

Таблица 1

Количество элементов, используемых на различных уровнях описания комбинационных схем в базисе ПЛИС

	Количество элементов	
	Трансляция в ЛБ	Межсоединения
c17	62	130
con1	107	162
misex1	452	1096
rd53	287	512
z4ml_synth	92	280

2. Теоретическая часть оценки сбоеустойчивости

Комбинационная схема (в том числе и комбинационная схема в базисе ПЛИС) имеет возможность маскировать сбои. Для оценки возможностей проекта маскировать сбои может быть введена метрика - коэффициент чувствительности проекта. Коэффициент чувствительности α_{elem} (1) – это метрика сбоеустойчивости, она определяет вероятность возникновения комбинации входных данных и единичной ошибки на элементе, приводящая к возникновению ошибки на выходе схемы в базисе ПЛИС [5 - 10].

$$\alpha_{elem} = \frac{1}{2^N} \sum_{\bar{X}, \bar{e}_{elem}, |\bar{e}_{elem}|=1} E_{elem}(\bar{X}, elem) \quad (1)$$

, где $E_{elem}(\bar{X}, e_{elem})$ обозначает характеристическую функцию набора пар векторов (входных сигналов \bar{X} и векторов ошибок \bar{e}_{elem}):

$$E_{elem}(\bar{X}, \bar{e}_{elem}) = \begin{cases} 1, & \text{если набор } (\bar{X}, \bar{e}_{elem}) \text{ приводит к ошибке} \\ 0, & \text{иначе} \end{cases}$$

Предлагаемый расчет коэффициента чувствительности для комбинационных схем в базисе ПЛИС является эффективной метрикой

оценки сбоеустойчивости проекта, так как может использоваться с методами бит-параллельного моделирования и методами Монте-Карло для больших схем, имеет линейную вычислительную сложность от количества элементов проекта, а также обеспечивает высокую точность для большинства практических применений, если вероятность сбоя вентиля стремится к нулю.

3. Экспериментальная часть оценки сбоеустойчивости

Были проведены вычислительные эксперименты, целью которых являлось определение вычислительных затрат на оценку коэффициента чувствительности схемы для различных бенчмарк схем, как с учетом трассировочных элементов, так и на этапе трансляции в ЛБ, с помощью метода внесения неисправностей в элементы ПЛИС. Для проведения исследований было разработано программное обеспечение на языке Python 3.6, реализующее метод оценки надежности, а также различные вспомогательные функции, включая функции генерации произвольных схем с заданным числом элементов и первичных входов. Оценка вычислительной сложности методов производилась на машине с четырехядерным процессором Intel Core i5-2500K@3.3GHz с оперативной памятью 8 Гбайт DDR3-1866MHz.

Результаты оценки сбоеустойчивости представлены в таблице 2 и на Рис. 3. Время выполнения работы представлено в таблице 3.

Таблица 2

Результаты оценки сбоеустойчивости

	Коэффициент чувствительности	
	Трансляция в ЛБ	Межсоединения
c17	10	28,9
con1	17,2	45,4
misex1	70	80
rd53	34	41,5
z4ml_synth	24	28,8

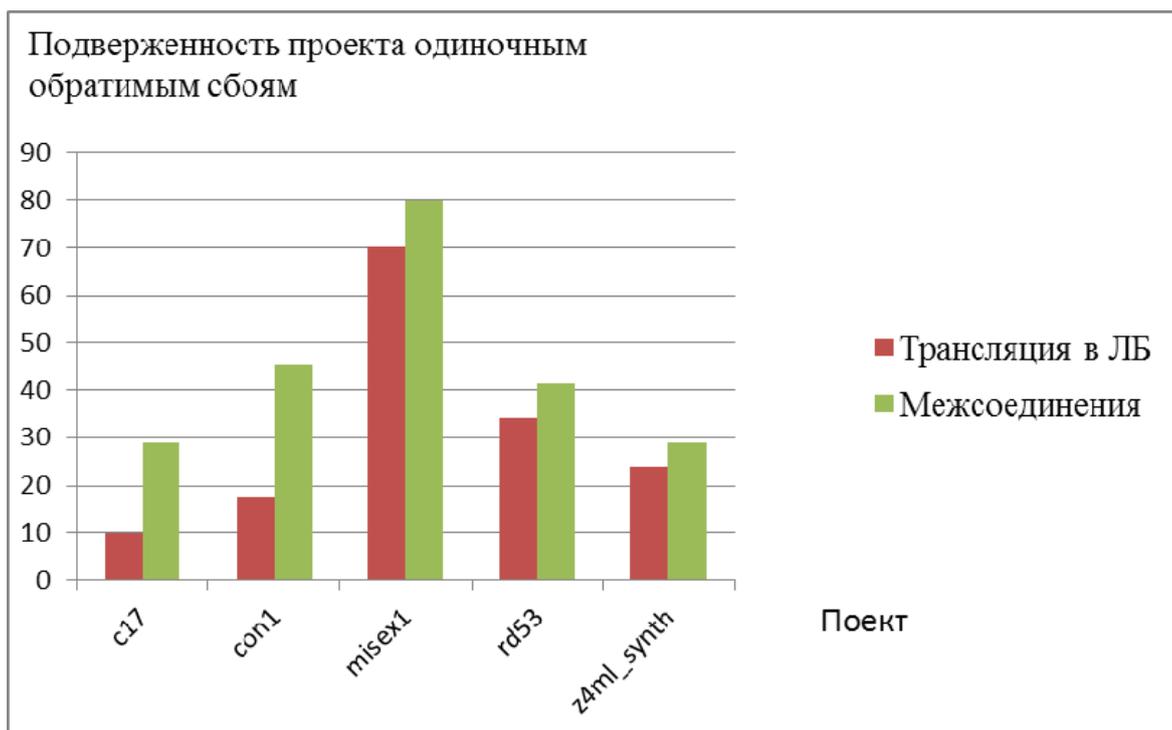


Рис. 3 Оценка сбоеустойчивости проекта на различных этапах маршрута проектирования комбинационных схем в базисе ПЛИС

Таблица 3

Время выполнения вычисления надежности проектов

	Время выполнения	
	Трансляция в ЛБ	Межсоединения
c17	0,7	24,9
con1	7,8	125,6
misex1	279,7	880,2
rd53	14,1	416
z4ml_synth	5,8	190,4

На основе экспериментальных данных, очевидно, что метод оценки сбоеустойчивости на основе внесения сбоев на уровне нетлиста из логических блоков на большинстве схем показывает близкие результаты к более точному методу внесения сбоев в проект в базисе ПЛИС с учетом межсоединений, также данный метод демонстрирует эффективную оценку сбоеустойчивости по скорости выполнения, что может быть актуальным для проектов использующих большую часть ресурсов современных ПЛИС.

Заключение

В данной статье исследованы методы оценки сбоеустойчивости комбинационных схем в базе ПЛИС на различных уровнях абстракции проекта. Подробно описаны методы оценки сбоеустойчивости комбинационных схем в базе ПЛИС, обоснован выбор коэффициента чувствительности схемы к одиночным ошибкам в качестве базовой метрики сбоеустойчивости комбинационных схем в базе ПЛИС, с учетом системных и локальных шин, а также блоков ввода-вывода.

Для большинства проектов с использованием ресурсов современных ПЛИС могут применяться методы внесения сбоев на уровне нетлиста из ЛБ, что может значительно ускорить процесс оценки сбоеустойчивости комбинационной схемы в базе ПЛИС.

Для некоторых схем разница в оценке надежности проекта в базе ПЛИС может быть трехкратной, что может существенно сказаться на построении средств повышения надежности.

Таким образом, для создания эффективных методов повышения надежности нельзя пренебрегать оценкой сбоеустойчивости с использованием трассировочных элементов ПЛИС и блоков ввода-вывода.

Литература

1. Y-Y. Hwang, J. Cong Boolean Matching for LUT-based logic blocks with applications to architecture evaluation and technology mapping. IEEE Trans. on Computer-Aided Design of ICs and Systems, 2001, №20, pp. 1077-1090.
2. Волобуев С.В., Евдокимов А.П., Рябцев В.Г. Применение аппаратных и программных средств для изменения режимов работы цифровых устройств, реализованных на ПЛИС // Инженерный вестник Дона, 2017, № 4 URL: ivdon.ru/ru/magazine/archive/n4y2017/4478.

3. J. Cong, K. Minkovich Improved SAT-based Boolean matching using implicants for LUT-Based FPGAs. In Proc. ACM Intl. Symp. Field-Programmable Gate Arrays, 2007, pp. 139-147.
 4. Тюрин С.Ф., Вихорев Р.В. Усовершенствованный метод реализации в FPGA систем логических функций, заданных в СДНФ // Инженерный вестник Дона, 2017, № 1 URL: ivdon.ru/ru/magazine/archive/n1y2017/4044.
 5. Стемповский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В. Повышение отказоустойчивости логических схем с использованием нестандартных мажоритарных элементов // Информационные технологии, 2015, №10, том 21, С. 749—756.
 6. Стемповский А.Л., Тельпухов Д.В., Соловьев Р.А., Мячиков М.В., Тельпухова Н.В. Разработка технологически-независимых метрик для оценки маскирующих свойств логических схем // Вычислительные технологии. 2016. Т. 21. № 2. С. 53-62.
 7. Гаврилов С.В., Гуров С.И., Жукова Т.Д., Рухлов В.С., Рыжова Д.И., Тельпухов Д.В. Методы повышения сбоеустойчивости комбинационных ИМС на основе избыточного кодирования // Прикладная математика и информатика. – М.: Изд-во факультета ВМК МГУ, 2016. № 53. С. 96-105.
 8. Гаврилов С.В., Иванова Г.А., Рыжова Д.И., Соловьев А.Н., Стемповский А.Л. Методы синтеза помехозащищенных комбинационных блоков // Информационные технологии. 2015. Т. 21. № 11. С. 821-826.
 9. Тельпухов Д.В., Рухлов В.С., Рухлов И.С. Исследование и разработка методов оценки сбоеустойчивости комбинационных схем, реализованных в базисе ПЛИС // Инженерный вестник Дона, 2016, №1 URL: ivdon.ru/ru/magazine/archive/n1y2016/3504.
 10. Тельпухов Д. В., Рухлов В. С., Сташевский А. Н., Адамов Ю.Ф. Электронная техника. Серия 3: Микроэлектроника. 2017. №4(168). С. 62-67.
-

References

1. Y-Y. Hwang, J. Cong Boolean Matching for LUT-based logic blocks with applications to architecture evaluation and technology mapping. IEEE Trans. on Computer-Aided Design of ICs and Systems, 2001, №20, pp. 1077-1090.
2. Volobuev S.V., Evdokimov A.P., Ryabtsev V.G. Inzhenernyj vestnik Dona (Rus), 2017, №4. URL: ivdon.ru/ru/magazine/archive/n4y2017/4478.
3. J. Cong, K. Minkovich Improved SAT-based Boolean matching using implicants for LUT-Based FPGAs. In Proc. ACM Intl. Symp. Field-Programmable Gate Arrays, 2007, pp. 139-147.
4. Tyurin S.F., Vikhorev R.V. Inzhenernyj vestnik Dona (Rus), 2017, №1. URL: ivdon.ru/ru/magazine/archive/n1y2017/4044.
5. Stempkovskiy A.L., Tel'pukhov D.V., Solov'ev R.A., Myachikov M.V. Informatsionnye tekhnologii. 2015. №10. tom 21. pp. 749—756.
6. Stempkovskiy A.L., Tel'pukhov D.V., Solov'ev R.A., Myachikov M.V., Tel'pukhova N.V. Vychislitel'nye tekhnologii. 2016. T. 21, № 2, pp. 53—62.
7. Gavrilov S.V., Gurov S.I., Zhukova T.D., Rukhlov V.S., Ryzhova D.I., Tel'pukhov D.V. Metody povysheniya sboeustoychivosti kombinatsionnykh IMS na osnove izbytochnogo kodirovaniya [Methods for increasing the fault tolerance of combinational IMS based on redundant coding Prikladnaya matematika i informatika]. M: Izd. fakul'teta VMK MGU, 2016. № 53. pp. 96-105.
8. Gavrilov S.V., Ivanova G.A., Ryzhova D.I., Solov'ev A.N., Stempkovskiy A.L. Informatsionnye tekhnologii. 2015. T. 21. № 11. pp. 821-826.
9. Tel'pukhov D.V., Rukhlov V.S., Rukhlov I.S. Inzhenernyj vestnik Dona (Rus), 2016, №1. URL: ivdon.ru/ru/magazine/archive/n1y2016/3504.
10. Tel'pukhov D. V., Rukhlov V. S., Stashevskiy A. N., Adamov Yu.F. elektronnaya tekhnika. Seriya 3: Mikroelektronika (Rus), 2017, №4 (168), pp. 62-67.