

## **Практическое применение собственной программной системы синтеза топологии в сквозном маршруте проектирования**

**В.В. Балашов, А.С. Плехов, Д.В. Попов, Н.В. Старостин**

Нижегородский государственный университет им. Н.И. Лобачевского

Для микроэлектронных устройств с существенно нерегулярной структурой и, в особенности, с однослойной коммутацией, существующие конструкторские САПР либо недостаточно эффективны, либо вообще не пригодны. Так ни один из модулей трассировки коммерческих современных САПР (в том числе и ведущих фирм Cadence Design Systems, Mentor Graphics, Synopsys) не позволяет осуществлять разводку соединений БИС на БМК с однослойной коммутацией с поликремниевыми перемычками. Это связано с тем, что все современные САПР ориентированы на заказные схемы, выполняемые по технологии с несколькими слоями металлизации. В частности, современный программный модуль автоматизированной трассировки SoC Encounter одной из ведущих западных фирм Cadence Design Systems может учитывать различные антенные эффекты в проводниках, возникающие наводки на соседних трассах, и ряд других физических эффектов, появляющихся при использовании субмикронных технологий, но не рассчитан на однослойную трассировку.

Актуальность БИС на основе БМК с однослойной коммутацией до сих пор остаётся высокой. Это обуславливается тем, что для разработки проекта БИС на основе такого БМК достаточно спроектировать и изготовить только один фотошаблон переменного слоя металлизации (при условии что сам БМК уже сформирован). Это повышает качество и уменьшает стоимость разработки.

Разработка собственной комплексной системы автоматизированного проектирования, которая бы содержала все основные программные модули

— схемотехнический редактор, топологический ручной редактор и пр. чрезвычайно сложна. Это связано с тем, что помимо алгоритмов графического отображения миллионов прямоугольников (топология современных микросхем высокой интеграции содержит сотни миллионов прямоугольников), необходима поддержка основных промышленных форматов САПР — LEF (Library Exchange Format), DEF (Design Exchange Format), Verilog (на уровне списка связей проекта), GDSII (для топологии) и пр. Таким образом, разработка собственных САПР, обеспечивающих «сквозной» маршрут проектирования экономически нецелесообразна. Более предпочтительным вариантом является построение САПР на базе относительно недорогих готовых модулей ведущих фирм, с включением в маршрут программных модулей собственной разработки. Ниже представлен практический опыт по применению программного модуля синтеза топологии специализированных микросхем на основе аналого-цифровых БМК с одним слоем коммутации (ПС «Синтез»).

В составе САПР выделяют следующие виды обеспечения — программное обеспечение, информационное обеспечение, техническое обеспечение, методическое обеспечение [1 - 6].

Разработка полузаказной БИС на основе аналого-цифрового БМК представляет собой поэтапный процесс проектирования переменного слоя (слоя металла), накладываемого на базовые технологические слои, представленные в кристалле [7 - 10]. Проектирование ведётся с использованием библиотеки стандартных ячеек, представляющих ограниченный перечень элементов, возможных для использования.

Исходными данными является ТЗ на разработку микросхемы и комплект КД на базовое исполнение БМК. Результатом проектирования является разработанный чертёж топологии переменного слоя БИС, представленного в формате GDS II [9], который передаётся на изготовление фотошаблонов.

Маршрут проектирования БИС на основе аналого-цифрового БМК состоит из следующих этапов: 1) подготовительный; 2) разработка структурной схемы; 3) схемотехническое проектирование; 4) топологическое проектирование; 5) верификация топологии проекта (в том числе моделирование с учётом топологических параметров); 6) формирование комплекта конструкторской документации (КД); 7) формирование архива проекта.

ПС «Синтез» предназначена для работы в сквозном маршруте проектирования, основанном на модулях фирмы Cadence Design Systems. Маршрут проектирования приведён на рисунке 1. Программная система может функционировать и отдельно (обеспечивая размещение элементов БИС и трассировку соединений), при условии наличия входной информации о кристалле в формате LEF и floorplan (текстовый файл, содержащий информацию о планировке кристалла) и информации о проекте в формате DEF.

ПС «Синтез» обеспечивает работу в двух режимах:

- 1) размещение элементов осуществляется средствами САПР фирмы Cadence Design Systems (модуль SoC Encounter), ПС «Синтез» при этом используется для трассировки соединений (левая ветвь на рисунке 1);
- 2) размещение элементов и трассировка осуществляются в ПС «Синтез» (правая ветвь на рисунке 1).

Ввод схемы осуществляется вручную с помощью графического редактора схем. Данная схема используется для формирования документа «Схема электрическая структурная» Э1 и/или для формирования верхнего уровня иерархической принципиальной схемы.

Далее, в соответствии со структурной схемой, проводится разработка схемы электрической принципиальной. При разработке схемы используется только разрешённый к применению для данного аналого-цифрового БМК элементный базис. При проектировании необходимо учитывать необходимость разделения схемы на аналоговую и цифровую части.

Принципиальная схема вводится в САПР средствами редактора схем с использованием библиотеки стандартных элементов данного БМК в иерархическом виде. Для введённой схемы проводится контроль на связность и выполнение правил построения схемы.

На подготовительном этапе проводится анализ исходных данных, анализируется степень обеспечения техническими и программными средствами, выбираются средства проектирования.

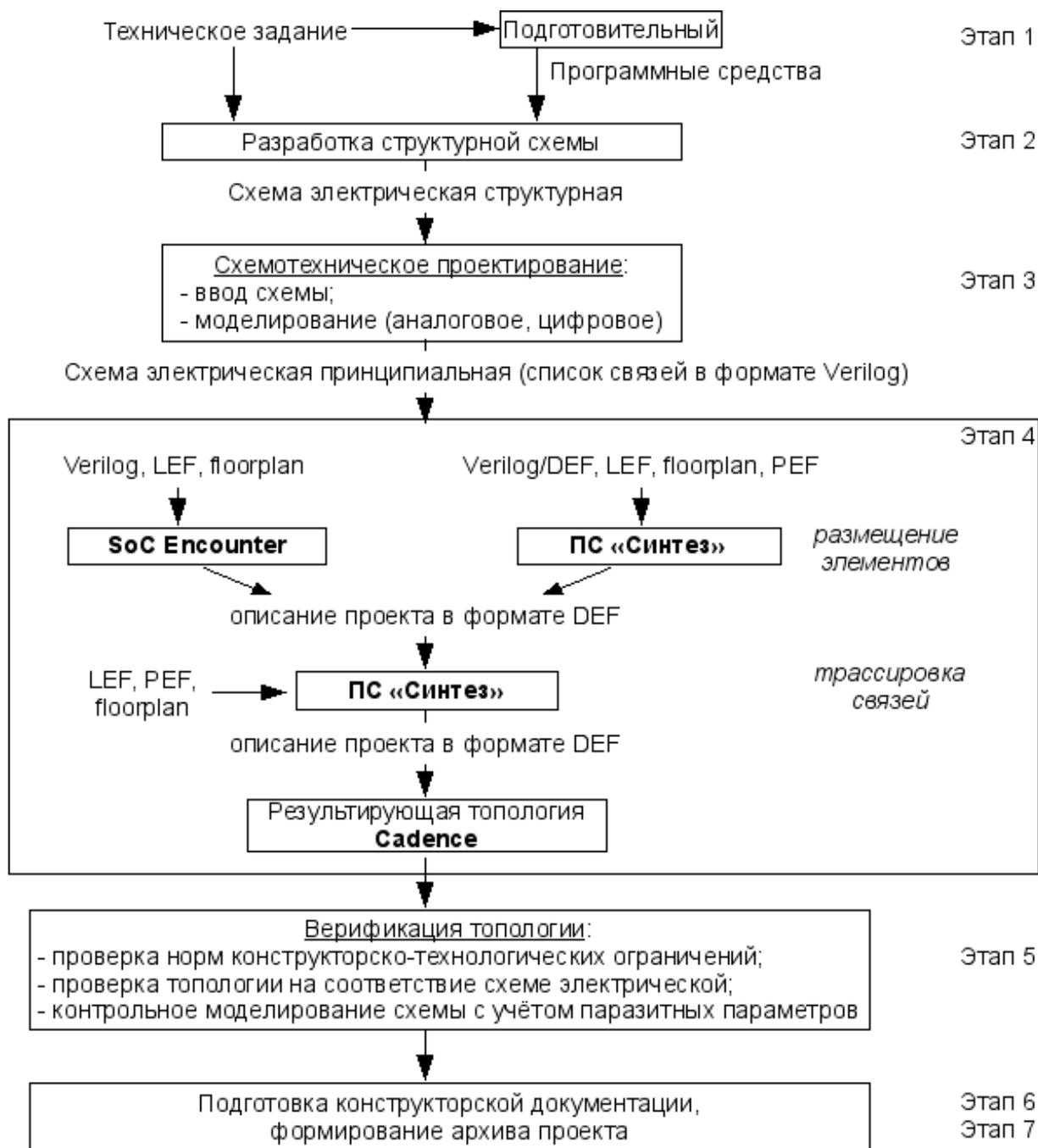


Рисунок 1. Сквозной маршрут проектирования

На этапе разработки схемы электрической структурной проводится проработка общего конструктивного решения, формирование функциональных блоков схемы, определяется назначение и режимы использования внешних выводов.

При разработке структурной схемы необходимо выделять аналоговые и цифровые блоки схемы для возможности их отдельной отладки и разделение цепей «земли» и «питания» на аналоговую и цифровую.

Контроль работоспособности схемы электрической принципиальной проводится путём моделирования работы схемы в требуемых режимах. На данном этапе исследование работоспособности схемы проводится без учёта топологии. Для проведения моделирования, при необходимости, проектируют тестовую оснастку (тестовые схемы, файлы тестовых воздействий, файлы эталонных воздействий). Результатом работы являются текстовые файлы и графические диаграммы, отражающие предварительные (без учёта топологии) электрические характеристики и временные параметры работы схемы. По результатам моделирования проводится коррекция блоков или всей схемы в целом. Процесс повторяется до достижения приемлемого результата, соответствующего требованиям ТЗ.

После разработки схемы электрической принципиальной проводится непосредственно разработка топологии переменного слоя.

На данном этапе возможны два варианта проектирования топологии переменного слоя.

Первый вариант (левая ветвь на рисунке 1) предусматривает размещение элементов [11] проекта с помощью модуля SoC Encounter. Для выполнения размещения в модуль SoC Encounter дополнительно загружаются файлы описания библиотечных элементов (LEF), файл с перечнем внешних контактных площадок (IO) и файл планировки (floorplan). При разработке топологии необходимо, чтобы на все неиспользуемые посадочные места аналого-цифрового БМК были установлены элементы-

«заглушки». «Заглушки» содержат только зоны запрета трассировки и не позволяют проводить трассы поверх неиспользованных элементов. После выполнения размещения элементов информация о проекте передаётся в формате DEF в ПС «Синтез», где проводится трассировка связей. В ПС «Синтез» кроме DEF-файла также загружаются файлы LEF и PEF.

Второй вариант (правая ветвь на рисунке 1) предусматривает выполнение размещения элементов в ПС «Синтез». При этом информация о проекте в ПС «Синтез» может быть передана как напрямую из списка связей в формате Verilog, так и из DEF-файла (предварительно созданного в SoC Encounter). Размещение элементов проекта в модуле SoC Encounter не производится. В ПС «Синтез» передаются также файлы LEF, PEF, floorplan и выполняется размещение элементов. На все неиспользуемые посадочные места также устанавливаются элементы-«заглушки». После этого выполняется трассировка [11] связей.

В обоих вариантах при необходимости в ПС «Синтез» проводится коррекция размещения элементов и/или доразводка связей в ручном режиме. После завершения работ по размещению и разводке связей проекта информация о проекте выводится в файл формата DEF. Данный файл импортируется в САПР фирмы Cadence Design Systems.

Результатом работ по обоим маршрутам является топология переменного слоя металла, накладываемого на базовые слои данного БМК.

Проведение верификации топологии проводится в три этапа: 1) проверка топологии на выполнение норм конструкторско-технологических ограничений (КТО); 2) проверка топологии на соответствие схеме электрической принципиальной; 3) контрольное моделирование топологии с учётом паразитных элементов [9].

На первом этапе проводится проверка разработанной топологии на выполнение норм КТО, заложенных в правилах проектирования для используемой технологии. Для выполнения проверки необходим файл правил проверки норм КТО в формате используемого ПО. В случае

нахождения несоответствия топология корректируется и проводится повторная проверка.

На втором этапе проводится восстановление схемы из топологии и её сравнение с исходной схемой электрической принципиальной. Для проведения восстановления схемы из топологии необходим файл правил выделения приборов и цепей из топологии в формате используемого ПО. В случае нахождения несоответствия топология корректируется и проводится повторная верификация, начиная с проверки на соответствие нормам КТО.

На третьем этапе проводится контроль работоспособности схемы с учётом разработанной топологии. Для этого сначала в разработанной топологии выделяются приборы и цепи вместе с паразитными элементами, образующимися в результате разработки топологии (паразитные сопротивления, ёмкости), затем проводится аналоговое моделирование полученной схемы.

Для проведения контрольного моделирования при необходимости проектируют тестовую оснастку (тестовые схемы, файлы тестовых воздействий, файлы эталонных воздействий) или используют файлы, разработанные при предварительном моделировании схемы электрической принципиальной. Результатом работы являются текстовые файлы и графические диаграммы, отражающие электрические характеристики и временные параметры работы схемы с учётом топологии.

По результатам моделирования проводится коррекция топологии или схемы принципиальной. Процесс проектирования повторяется с нужного этапа до достижения приемлемого результата, соответствующего требованиям ТЗ.

Результирующую топологию проекта транслируют в формат GDS II.

В результате проведённого проектирования должны быть получены данные, описывающие БИС. По совокупности они представляют собой базу данных проекта, содержащую: описание структурной схемы; описание принципиальной схемы; тестовые схемы и вектора; результаты

предварительного моделирования схемы без учета топологии в различных режимах; чертёж топологии переменного слоя; результаты верификации топологии на соответствие нормам КТО и схеме принципиальной; результаты контрольного моделирования с учётом топологии в различных режимах.

На основании базы данных проекта разрабатываются требуемые документы из состава КД на исполнение БИС. Информация базы данных проекта в объёме, требуемом для возобновления проектирования с любого этапа, оформляется как архив проекта.

В качестве технических средств рекомендуется использовать рабочие станции HP, SUN и/или персональные компьютеры на базе 32-разрядных и/или 64-разрядных процессоров Pentium и операционной системы Linux и/или Windows. Периферийное оборудование должно предоставлять возможность автоматизированного вывода текстовой информации и графической информации в форматах А4-А0. В качестве операционной системы используются: Sun Solaris, Windows XP, RHEL (Red Hat Enterprise Linux).

В качестве прикладного программного обеспечения используются программные средства, представленные в таблице 1.

Таблица № 1

#### Перечень программного обеспечения

Наименование программного средства (фирма-разработчик)	Операционная система	Назначение (этапы функционирования)
Virtuoso Schematic Editor (Cadence)	Solaris Linux	Разработка схемы структурной (этап 2) Разработка схемы принципиальной (этап 3) Формирование комплекта КД (этап 6)
AutoCad (Autodesk)	Windows	Разработка схемы структурной (этап 2)
Analog Design Environment (Cadence)	Solaris Linux	Обеспечение интерактивной работы и анализа результатов аналогового моделирования (этап 3, этап 5)
Spectre, UltraSim	Solaris	Аналоговое моделирование блоков и всей

Наименование программного средства (фирма-разработчик)	Операционная система	Назначение (этапы функционирования)
(Cadence)	Linux	схемы принципиальной (этап 3) Аналоговое моделирование топологии с паразитными элементами (этап 5)
NC-Sim (Cadence)	Solaris, Linux	Логическое моделирование на этапе схемотехнического проектирования (этап 3)
Export DEF, Import DEF, Import LEF (Cadence)	Solaris, Linux	Импорт и экспорт данных из базы данных Cadence на этапе топологического проектирования (этап 4)
SOC Encounter (Cadence)	Solaris, Linux	Размещение элементов и трассировка соединений на этапе топологического проектирования (этап 4)
ПС «Синтез»	Windows	Автоматическая трассировка соединений на этапе топологического проектирования (этап 4)
Virtuoso Layout Editor (Cadence)	Solaris, Linux	Ручное редактирование топологии на этапе топологического проектирования (этап 4)
Calibre (Mentor Graphics)	Solaris, Linux	Верификация топологии проекта (этап 5)
Microsoft Word	Windows	Формирование комплекта КД (этап 6)

Для функционирования маршрута проектирования БИС на основе аналого-цифрового БМК необходимо следующее информационное обеспечение (ИО): технологический файл; файл, задающий параметры визуализации ячеек проекта (файл ресурсов экрана); библиотека базовых аналоговых элементов (транзисторов, диодов и так далее) в формате DFII и наборы SPICE-параметров; библиотека стандартных элементов в формате DFII (УГО, схема электрическая, логическая модель на языке HDL, модель для автоматизированного размещения, топологическая модель); LEF-файл с описанием конструкции кристалла и библиотечных элементов (\*.lef); файл настроек для ПС «Синтез» с описанием аналого-цифрового БМК; файлы правил верификации топологии (файл правил проверки норм КТО, файл правил восстановления схемы из топологии, файл правил экстракции RC-

параметров); библиотека элементов оформления чертежей в соответствии с ЕСКД.

Информация, полученная в результате работы системы «Синтез» на этапе размещения элементов включает в себя: файл в формате DEF с описанием проекта; список не размещённых элементов; файл журнала с описанием основным проведённых операций, предупреждениями и ошибками.

Информация, полученная в результате работы системы «Синтез» на этапе трассировки включает в себя: файл в формате DEF с описанием проекта; список не разведённых цепей; файл журнала с описанием основным проведённых операций, предупреждениями и ошибками.

Решение задачи осуществляется с помощью системы «Синтез». После выполнения необходимых операций (размещение элементов, трассировка связей), данные о проекте записываются в DEF-файл. Промежуточные результаты также могут быть записаны в DEF-файл. DEF-файл импортируется в САПР Cadence.

Все работы по размещению элементов и трассировке проводились на трёх проектах БИС на основе аналого-цифрового БМК с одним слоем металлизации. Полученные варианты топологии с помощью ПС «Синтез» были записаны в файлы формата DEF, после чего импортированы в САПР Cadence.

Для подтверждения корректности проектов, в САПР Cadence была выполнена верификация топологии:

1. Выполнена проверка выполнения норм КТО.
2. Осуществлено сравнение схемы, извлечённой из топологии с исходной схемой.

Полученные результаты были положительные, что позволяет сделать вывод о корректности выполнения синтеза топологии БИС на основе аналого-цифрового БМК в ПС «Синтез».

Работа поддержана (частично поддержана) грантом (соглашение от 27 августа 2013г. № 02.В.49.21.0003 между МОН РФ и ННГУ).

### **Литература:**

1. Батищев Д. И., Львович Я. Е., Фролов В. Н. Оптимизация в САПР [Текст]: Учебник. Воронеж: Изд-во Воронеж. гос. университета, 1997. 416 с.
2. Дмитриевич Г. Д. Методическое обеспечение учебно-исследовательской САПР радиоэлектронных схем [Текст] // Системы автоматизированного проектирования и обучения: Межвузовский сб. науч. тр. Иваново, 1987. С. 141-145.
3. Казеннов Г. Г., Соколов А. Г. Основы построения САПР и АСТПП [Текст]: Учебник для техникумов по спец. электр.-выч. техники. М.: Высшая школа, 1989. 200 с.
4. Корячко В. П., Курейчик В. М., Норенков И. П. Теоретические основы САПР [Текст]: Учебник для вузов. М.: Энергоатомиздат, 1987. 400 с.
5. Норенков И. П. САПР: Системы автоматизированного проектирования [Текст]: Учебное пособие для втузов; В 9 кн. М.: Высшая школа, 1987. Кн. 1 — Принципы построения и структура. 123 с.
6. International Technology Roadmap Semiconductors, 2005 EDITION, Url: [www.itrs.net/LINKS/2011ITRS/](http://www.itrs.net/LINKS/2011ITRS/).
7. Рубцов В.П., Захаров В. П., Жижко В. А. Автоматизация проектирования больших интегральных схем [Текст]: Киев: Техніка, 1980. 230 с.
8. Дворников О.В., Чеховский В.А., Дятлов В.Л., Прокопенко Н.Н., Старченко Е.И. Микросхема многоканального операционного усилителя и электрометрического повторителя на радиационно-стойком базовом матричном кристалле «АБМК-1.3» [Электронный ресурс] // «Инженерный вестник Дона», 2013, №1. – Режим доступа: <http://ivdon.ru/ru/magazine/archive/n1y2013/1557> (доступ свободный) – Загл. с экрана. – Яз. рус.

9. Авдеев Е. В., Раджабов С. Г. Методика тополого-схемотехнической экстракции паразитных RC-параметров межсоединений в САПР ИМС [Текст]// Информационные технологии. 2002. № 5. С. 20-24.

10. Борискин В.С., Гулякович Г.Н., Северцев В.Н. Организация мелкосерийного производства микросхем [Электронный ресурс]// «Инженерный вестник Дона», 2013, №1. – Режим доступа: <http://ivdon.ru/ru/magazine/archive/n1y2013/1557> (доступ свободный) – Загл. с экрана. – Яз. рус.

11. Sherwani N. Algorithms for VLSI physical design automation. Kluwer academic publishers. London, 1995. P. 538.