

Фазовый детектор для высокочастотных систем электрохимической импедансной спектроскопии

Л.К. Самойлов¹, Е.А. Жебрун², П.С. Будяков³

¹Южный федеральный университет, Ростов-на-Дону

²АО "НИИМА "Прогресс", Москва

³Донской государственной технической университет, Ростов-на-Дону

Аннотация: Предлагается развитие метода электрохимической импедансной спектроскопии в области высокочастотных сигналов при помощи амплитудно-фазового подхода к анализу параметров биологических датчиков различной природы. В отличие от стандартных высокочастотных аналоговых интерфейсов систем электрохимической импедансной спектроскопии на основе квадратурной демодуляции использование пикового и фазового детекторов позволяет улучшить основные метрологические показатели, равно как и упростить аналоговый интерфейс при широкой полосе частот сигнала опроса биологических датчиков. Рассмотрено схемотехническое проектирование фазового детектора, как части общей системы, на компонентах технологического процесса TSMC 0.35um SiGe. Ключевой особенностью данного блока является предельное быстродействие за счёт отказа от обратных связей. Большой диапазон выходных напряжений и малая скорость их изменения позволяет использовать стандартные модули ввода аналоговых величин для ввода сигналов фазового детектора в ЭВМ для последующей цифровой обработки. Итоговая точность определения фазы сигнала биологического датчика сохраняется на приемлемом уровне за счёт введения в базовую схему дополнительных элементов и представленных в работе цифровых алгоритмов корректировки результатов. Показанный вариант проведения корректировки обладает иммунитетом к нелинейностям выходной характеристики фазового детектирования при больших отклонениях фазы сигнала биологического датчика. Использованный при проектировании техпроцесс относится к классу экономичных, что позволяет потенциально удешевить производство и внедрение в массовое применение систем электрохимической импедансной спектроскопии.

Ключевые слова: биологический датчик; импедансная спектроскопия; фазовый детектор; квадратурное представление сигнала, цифровая коррекция, алгоритм обработки данных, SiGe-технология, система на кристалле, СВЧ диапазон, аналоговый интерфейс.

Введение

Импедансная спектроскопия (ИС) – сравнительно новое и быстро развивающееся направление измерительных систем. Применение методов электрохимической ИС (EIS) позволяет исследовать свойства различных твердых и жидких веществ [1], а также отслеживать динамику химических реакций, протекающих в этих веществах.

Совершенствование современных биотехнологий и биоинженерии значительно расширяет область применения EIS за счет внедрения большого количества биологических датчиков (БД) в различные сферы деятельности человека. Данный вид

датчиков отличается использованием биологического распознающего элемента в качестве первичного преобразователя (трансдьюсера) биохимического сигнала в электрический [2].

Высокочастотный аналоговый интерфейс системы EIS может быть реализован с использованием стандартной схемы на основе метода квадратурной демодуляции [3]. Однако применяемые в этом случае смесители сигналов зачастую требуют большого энергопотребления, сложной структуры интерфейса и вносят дополнительные искажения при преобразовании сигнала. Альтернативой служит амплитудно-фазовый метод [4]. За счет использования пикового и фазового детекторов метод позволяет улучшить основные метрологические показатели, равно как и упростить аналоговый интерфейс при широкой полосе частот сигнала опроса БД [5].

В данной работе рассматривается проектирование и цифровая корректировка фазового детектора для улучшения характеристик высокочастотного аналогового интерфейса системы EIS. Предполагается, что данный фазовый детектор будет функционировать вместе с ранее разработанным высокочастотным пиковым детектором [6] для реализации амплитудно-фазового метода определения импеданса БД в диапазоне частот до десятков гигагерц.

Постановка задачи

Достижение предельных частотных свойств фазового детектора или детектора разности фаз (ФД) одновременно с оптимизацией других характеристик (площадь на кристалле, энергопотребление) требует минимизации тракта преобразования и отказа от использования обратных

связей на пути прохождения СВЧ сигналов. Под заданные условия хорошо подходят цифровые ФД. Однако сами логические элементы такой схемы должны быть спроектированы с особой тщательностью, как при разработке аналоговых узлов схожей функциональности.

Так, например, критически важным условием достижения предельных частотных свойств является выбор наилучшего режима работы биполярного транзистора в используемой техпроцессе TSMC 0.35um SiGe. Исследуя график зависимости f_T npn-транзистора при различных напряжениях база-эмиттер (рис. 1), можно констатировать, что оптимальным является напряжение в диапазоне 1.2-1.3 В с токами коллектора около 1 мА (напряжение коллектор-база равно нулю, режим диода).

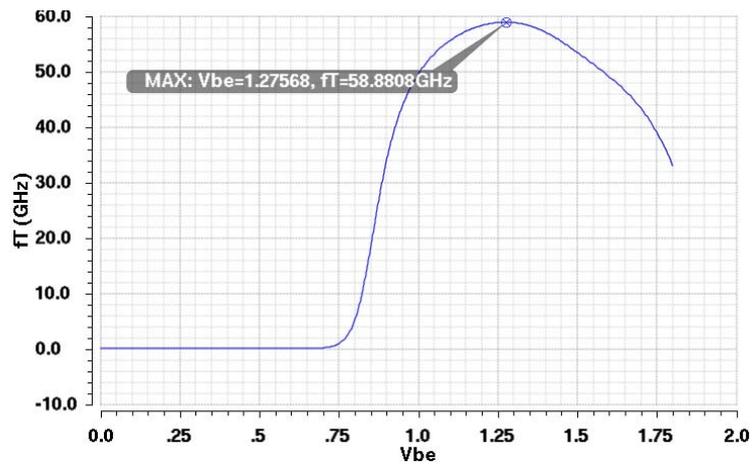


Рис. 1. – Зависимость f_T pnp-транзистора в техпроцессе TSMC 0.35um SiGe от напряжения база-эмиттер

В итоге задача проектирования схемы ФД сводится преимущественно к оптимизации режимов работы транзисторов с приближением к частотному пределу, который диктуется технологией. Достижение приемлемой точности, соответствующей точности разработанного пикового детектора [6], требует применения постобработки и коррекции результатов детектирования фазы.

Проектирование фазового детектора

В качестве ФД использована цифровая схема, основанная на логическом элементе XOR ("исключающее ИЛИ"), обобщённая структура показана на рис. 2 [7].

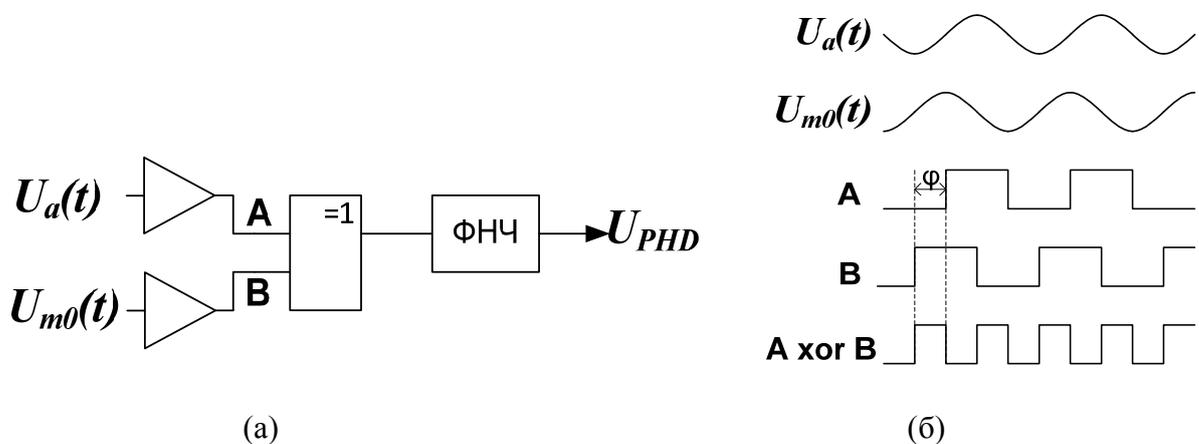


Рис. 2. –Обобщённая структура фазового детектора с использованием элемента XOR и входными буферами (а), а также временные диаграммы его входных и промежуточных сигналов (б)

Представленный ФД (рис. 2а) преобразует входные синусоидальные сигналы (усиленный сигнал БД $U_a(t)$ и сигнал опроса $U_{m0}(t)$) в логические сигналы A и B (рис. 2б) при помощи входных буферов. Затем XOR формирует на своём выходе широтно-импульсно модулированное (ШИМ) напряжение в зависимости от разности фаз φ на входах (рис. 2б, нижний график). Далее ФНЧ интегрирует поступающие на него импульсы и на выходе схемы со временем устанавливается выходное напряжение U_{PHD} (рис. 3а), соответствующее с некоторым коэффициентом преобразования разности фаз φ . Характеристика выходного напряжения в зависимости от φ показана на рис. 3б.

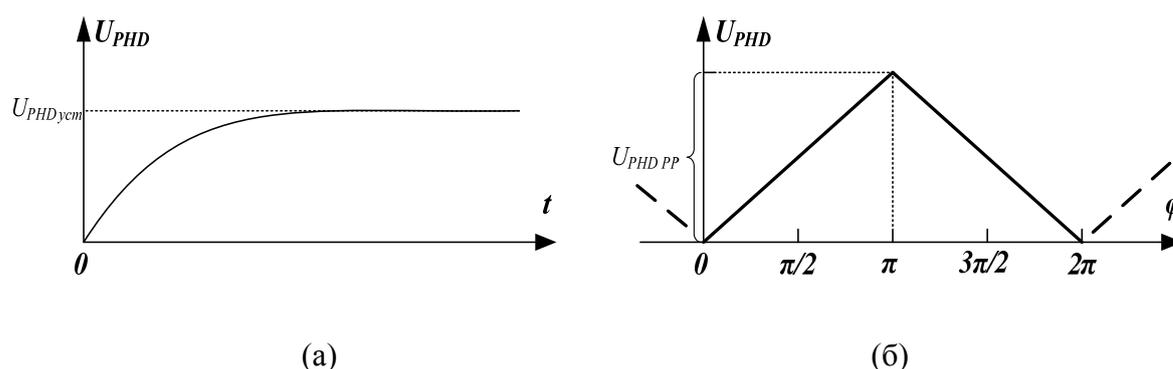


Рис. 3. – Временная диаграмма выходного напряжения (а) и зависимость выходного напряжения от разности фаз (б) фазового детектора (рис. 2)

В отличие от ФД, построенных на аналоговых умножителях, цифровые ФД обладают простотой реализации и высокой линейностью в широком диапазоне выходных напряжений, а также не чувствительны к изменению амплитуды входных сигналов. Дополнительно следует отметить, что обычно применяемый в данных задачах активный аналоговый умножитель – ячейка Гилберта [8] – использует каскодное включение транзисторов и вносит дополнительную ошибку за счёт разных путей прохождения входных смешиваемых сигналов.

По указанной выше причине элемент XOR также нежелательно выполнять по традиционной схеме, совпадающей с ячейкой Гилберта, но работающей с цифровыми

сигналами. Проведённые предварительные моделирования подобного элемента показывают, что каскод биполярных транзисторов в техпроцессе TSMC 0.35um SiGe (с стандартной шиной питания 3,3В) не способен обеспечить приемлемый уровень быстродействия (частоты порядка 10-20 ГГц). Затягивание переходных процессов внутри схемы XOR приводит к искажению формы выходного импульса и, как следствие, к повышенной погрешности определения разности фаз φ . Особенно заметна проблема нехватки быстродействия при малой φ , когда длительность выходных импульсов логического элемента сокращается (рис. 2б).

Дополнительным параметром, влияющим на итоговую точность ФД, является его максимальный диапазон выходных напряжений, при котором схема функционирует линейно. Увеличение этого диапазона снижает относительную погрешность определения разности фаз с учётом сохранения паразитных шумов схемы на прежнем уровне.

Таким образом, обеспечение оптимальных режимов работы одновременно с максимизацией диапазона выходных напряжений наиболее быстродействующих биполярных транзисторов в техпроцессе TSMC 0.35um SiGe при СВЧ сигналах и шине питания 3,3В фактически обязывает использовать схемотехнику без каскодов, ориентированную на низковольтные применения. Наборы подобных принципиальных схем логических элементов представлены в [9].

На рис. 4 показана принципиальная схема ФД для высокочастотной системы EIS на основе низковольтной ячейки XOR [9] с дифференциальными входами. Схема применяется в СВЧ системах фазовой автоподстройки частоты со сниженным энергопотреблением [10].

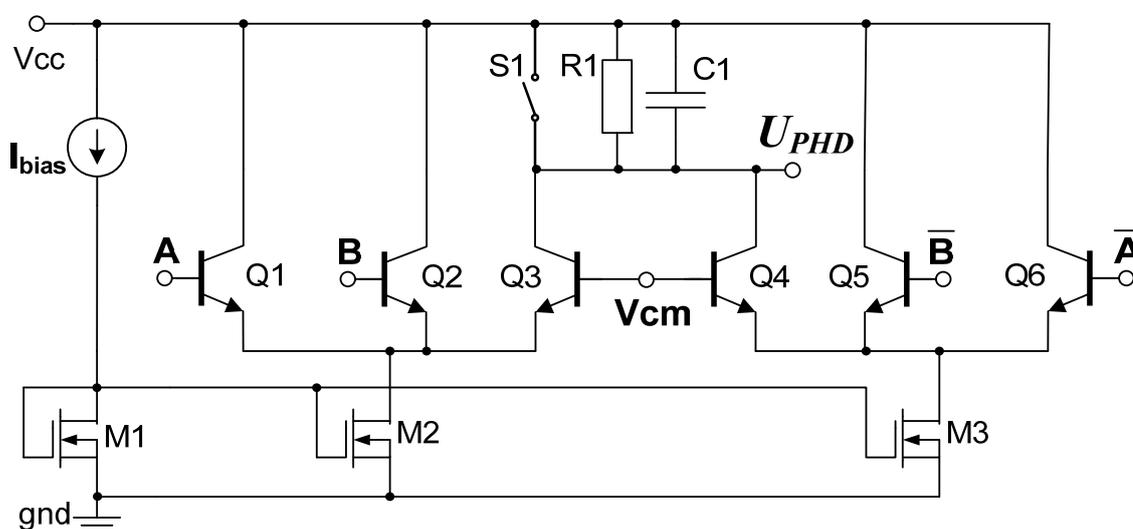


Рис. 4. – Принципиальная схема ФД на биполярных транзисторах

По сравнению с [10] в представленной схеме рис. 4 отсутствует источник тока между шиной питания V_{cc} и коллекторами Q_3, Q_4 , который призван компенсировать ток утечки этих биполярных транзисторов. Вместо этого соответствующие управляющие напряжения (V_{cm} , уровни сигналов А, В) и общие токи (токи стоков M_2, M_3) выбраны так, чтобы минимизировать токи утечки Q_3, Q_4 до уровня, при котором они не влияют на итоговую точность ФД. Благодаря этому уменьшается влияние технологического разброса транзисторов на точность схемы, тогда как в схеме [10] необходимую величину компенсирующего тока необходимо подстраивать под конкретную произведённую микросхему.

Для оперативного сброса напряжения конденсатора C_1 и общей синхронизации измерений в системе введён ключ S_1 .

Принятые схемотехнические решения в совокупности с целевой частотой работы (10-20 Гц) и шиной питания (3.3 В) потребовали применения низковольтных полевых транзисторов M_1, M_2 и M_3 , доступных в выбранном техпроцессе наряду с 3,3 В-полевыми транзисторами. Затворы M_1, M_2 и M_3 имеют более тонкий оксид и не выдерживают приложения к ним полного напряжения шины, однако в приведённой схеме рис. 4 такая ситуация исключена.

Для формирования входных логических сигналов А и В используются входные буферы дифференциальных сигналов, общая структура которых показана на рис. 5.

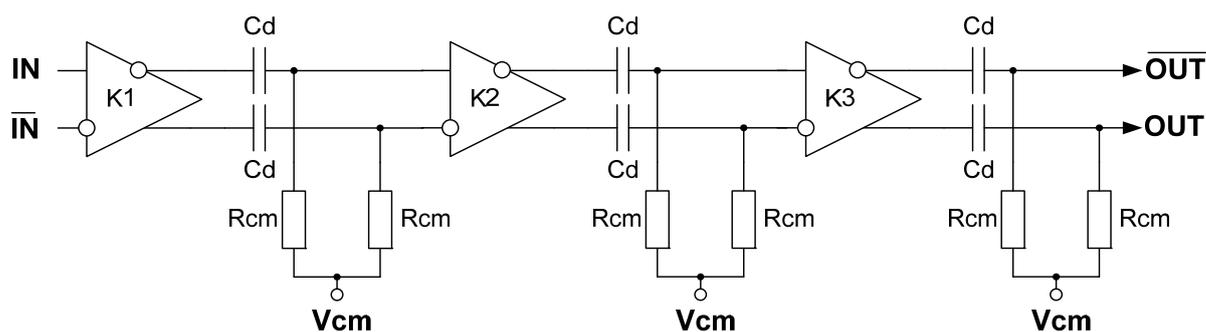


Рис. 5. – Структура входного буфера фазового детектора

Буфер (рис. 5) представляет собой многокаскадный усилитель с развязкой по постоянному току через емкости. Каждый каскад структуры состоит из балансной пары и повторителей с использованием биполярных и низковольтных полевых транзисторов (рис. 6).

Нагрузка каскада (рис. 6) выполнена на резисторах, так как pnp-транзисторы в выбранном экономичном техпроцессе отсутствуют, а интегральные индуктивности занимают достаточно большое место на кристалле.

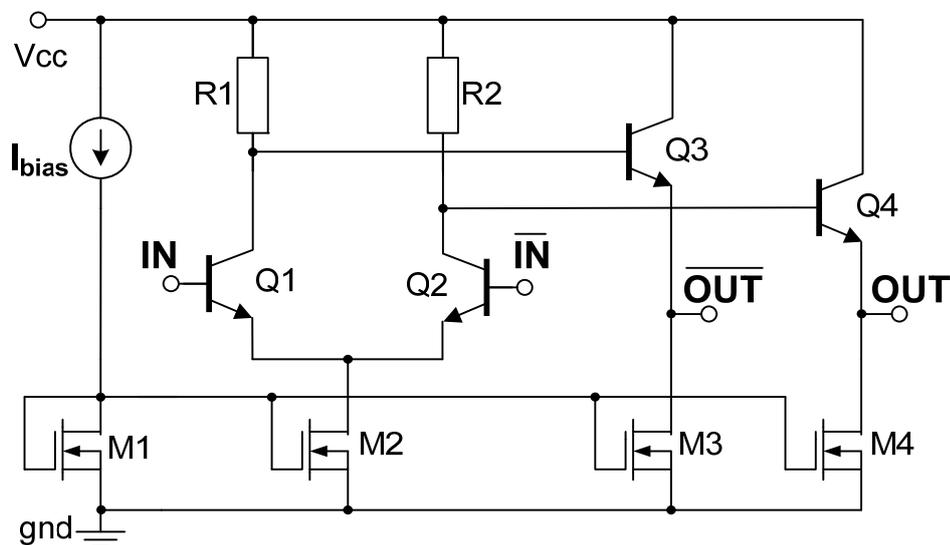


Рис. 6. – Принципиальная схема одного каскада входного буфера (рис. 5) ФД

Результаты моделирования на рис. 7 подтверждают, что применение каскадирования и оптимизации режимов работы во входном буфере ФД (рис. 6) в соответствии с установленными закономерностями (рис. 1) позволяет решить проблему резкого снижения усиления биполярных транзисторов на частотах порядка 10 ГГц и добиться достаточного размаха и скорости фронтов цифровых дифференциальных сигналов А, В (а также их инверсий). Платой за высокие усилительные характеристики в СВЧ диапазоне является существенное токопотребление, которое достигает 24 мА для каждого трёхкаскадного буфера.

Последний каскад буфера (рис. 5) построен так, чтобы выходные уровни напряжения достигают фиксированных ± 500 мВ (рис. 7). Это гарантирует отсутствие существенных паразитных утечек токов в элементе XOR (рис. 4), одновременно с этим не вводя в глубокую отсечку и позволяя быстрое включение транзисторов. Развиваемое предельно малое время выходного фронта до 20 пс способствует ускорению переключения транзисторов Q1, Q2, Q5, Q6.

Входная амплитуда напряжения для буферов, поступающая с усилителя сигнала БД, может иметь предельно малое значение 10 мВ, что соответствует границе точности спроектированного пикового детектора [6].

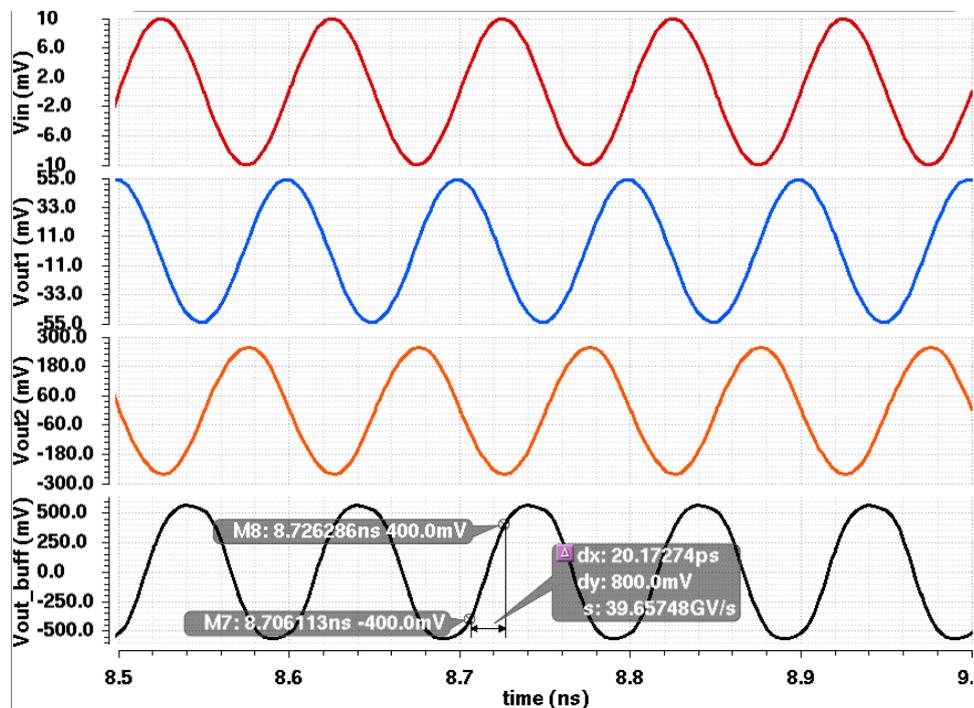


Рис. 7. – Временная характеристика напряжений входного буфера ФД рис. 5 (сверху вниз: входное напряжение, выход первого каскада, выход второго каскада, выход буфера)

Так как буферы развивают достаточную большую амплитуду при любых условиях, то при расчёте параметров элементов схемы ФД (рис. 4), транзисторы Q1, Q2, Q5, Q6 в приближении можно считать идеальными ключами. Тогда выходной диапазон напряжения ФД будет вычисляться как:

$$U_{PHD PP} = I_{bias} / R_1, \quad (1)$$

где I_{bias} - ток стока, одинаковый для транзисторов M1, M2, M3.

Тогда коэффициент преобразования из входной разности фаз в выходное напряжение ФД в соответствии с рис. 3б:

$$K_{PHD} = U_{PHD PP} / 180^\circ. \quad (2)$$

Максимальную амплитуду колебаний выходного напряжения ФД, возникающую вследствие процессов переключения, можно так же выразить через параметры элементов в схеме исходя из баланса токов разряда через резистор и токов заряда емкости в наихудшем случае при 50% скважности импульсов ШИМ (разность фаз 90°):

$$U_{PHD\ droop} = \frac{1}{4f} \cdot \frac{U_{PHD\ PP}}{2R_1 C_1}, \quad (3)$$

где f - частота входного сигнала.

Схема ФД (рис. 4) была промоделирована с учётом скоростей фронтов логических сигналов, которые были получены по итогам проектирования входных буферов. Временная характеристика в установившемся режиме при частоте входного сигнала 10ГГц и разности фаз 90° с упрощённым формированием входных логических дифференциальных сигналов А и В –эквивалентами (по скорости фронта и амплитуде) сигналов, генерируемых спроектированными буферами (рис. 5) изображена на рис. 8.

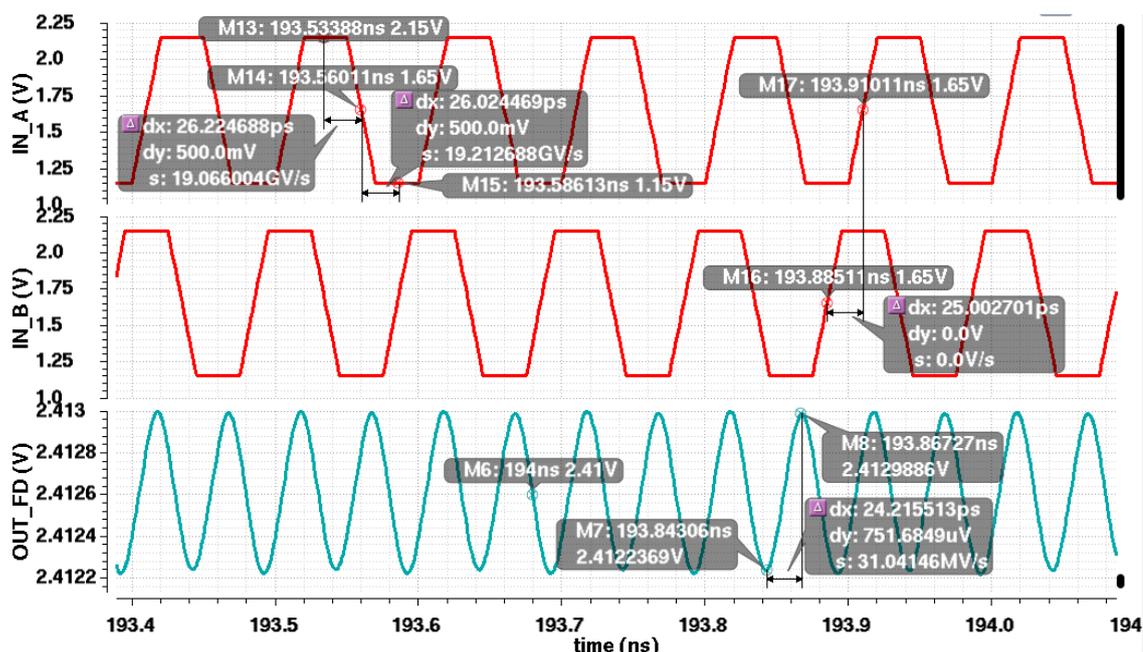


Рис. 8. – Временная характеристика напряжений ФД рис. 5 в установившемся режиме (сверху вниз: входной сигнал А, входной сигнал В, выход ФД) при частоте входного сигнала 10ГГц и разности фаз 90°

Колебания выходного напряжения ФД пропорциональны току в плечах элемента XOR и номиналам R_1, C_1 . С целью минимизации погрешности в диапазоне частот 10-

20 ГГц и максимизации скорости измерения параметры схемы рис. 4 были выбраны следующим образом: $I_{bias}=I_{M1}=I_{M2}=I_{M3}=1 \text{ мА}$, $C1=10 \text{ пФ}$, $R1=2 \text{ кОм}$. При этом амплитуда колебаний выходного напряжения в установившемся режиме не превышает 1 мВ (рис. 8, формулы (1), (3)), что, как будет показано далее, не является доминирующим вкладом в погрешность ФД. Время полного установления схемы 200 нс, что равно десятикратной постоянной времени $\tau_{PHD} = R1 \cdot C1$.

Схема рис. 4 параметрически настроена для обеспечения широкого диапазона выходных напряжений 1,8 В. Это позволяет подавать выходной сигнал ФД напрямую на АЦП стандартных модулей ввода-вывода [11]. Приближенный коэффициент преобразования, вычисленный по формуле (2) составляет $\pm 10 \text{ мВ/}^\circ$ для промежутков $0^\circ \div 180^\circ$ и $180^\circ \div 360^\circ$ соответственно.

На рис. 9 показана зависимость выходного напряжения от разности фаз спроектированного ФД с наложением аппроксимированной идеальной характеристики (сохраняющей фиксированный коэффициент преобразования $\pm 10 \text{ мВ/}^\circ$ во всем диапазоне разностей фаз) при частоте входного сигнала 10 ГГц.

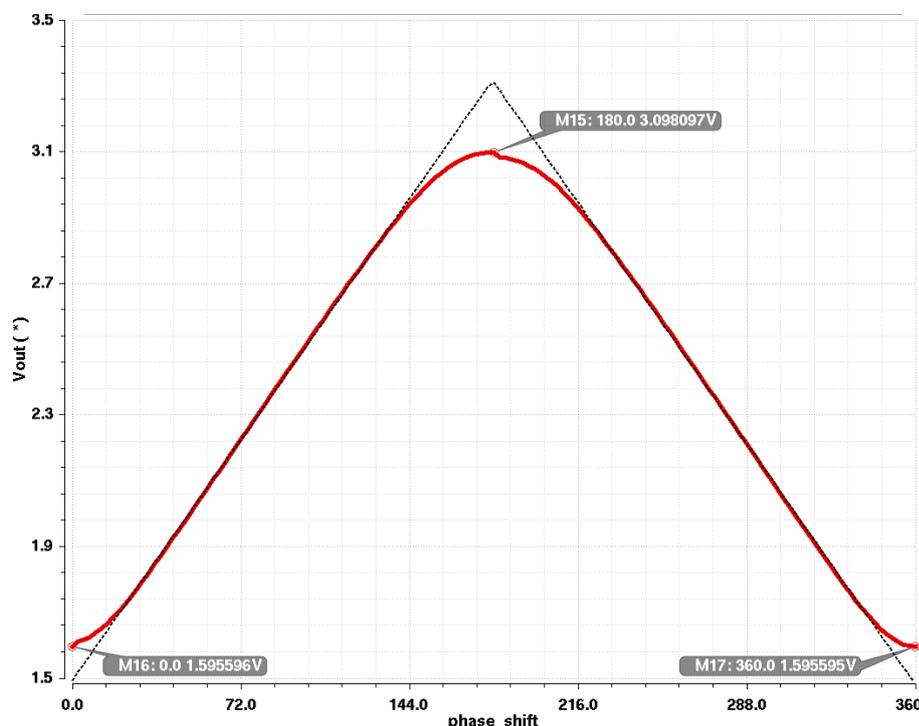


Рис. 9. – Зависимость выходного напряжения от разности фаз ФД с наложением аппроксимированной идеальной характеристики (пунктирные прямые) при частоте входного сигнала 10 ГГц

Следующий график (рис. 10) демонстрирует абсолютную ошибку спроектированного ФД с учётом аппроксимированной идеальной характеристики (рис. 9) в зависимости от входной разности фаз при частоте входного сигнала 10 ГГц.

Как видно из рис. 10 при разности фаз приближающейся к 0° , 180° и 360° ошибка достигает существенных значений. Это происходит вследствие искажения формы выходного импульса XOR элемента при малых его длительностях (0° и 360°) либо при малой задержке между импульсами (180°). То есть главным ограничением по точности ФД являются частотные свойства входного буфера и элемента XOR.

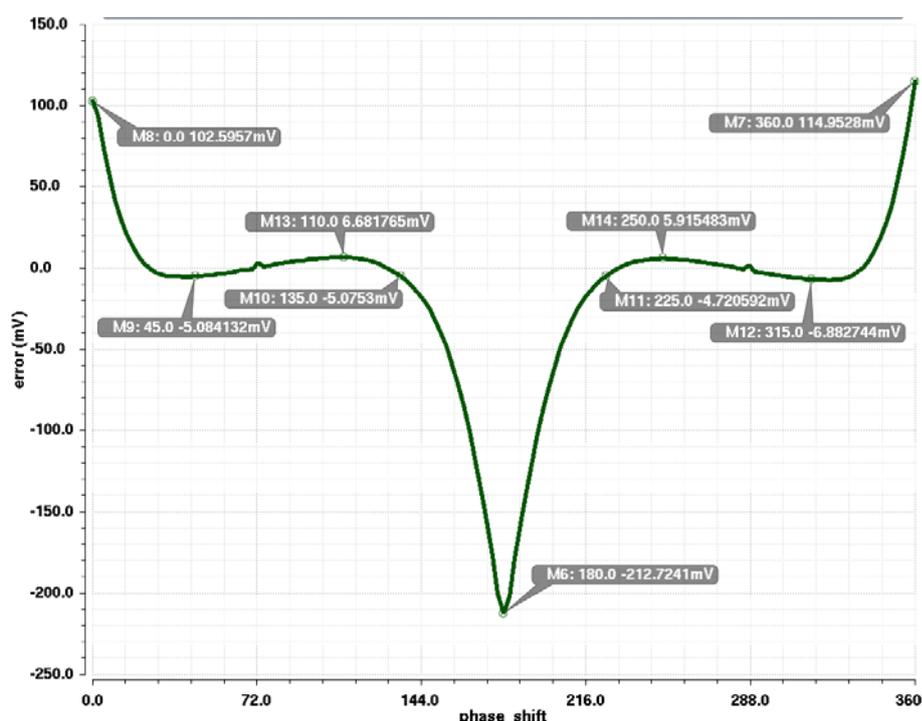


Рис. 10. – Абсолютная ошибка ФД в зависимости от входной разности фаз при частоте входного сигнала 10 ГГц

Дополнительные исследования показывают, что на частотах существенно меньше 10 ГГц характеристика ФД приближается к идеальной. В этом случае частота ШИМ-импульсов элемента XOR так же снижается и, следовательно, требуется большая (в 10 раз) емкость для подавления колебаний выходного сигнала (формула (3)) при сохранении остальных параметров. Как следствие, время установления возрастёт до 2 мкс. Кроме того, тонкооксидные полевые транзисторы, способные работать в диапазоне до 3 ГГц,

являются более эффективным решением с точки зрения энергопотребления в рассматриваемом классе задач [12].

В диапазоне частот 10-20 ГГц характеристика ФД имеет высокую точность только в серединах промежутков $0^\circ \div 180^\circ$ и $180^\circ \div 360^\circ$ и достигает максимума при сдвигах фаз 90° и 270° , что соответствует 50% скважности выходных импульсов ШИМ и минимальному искажению их формы.

Используемая схема ФД не способна различить, какому конкретно из промежутков ($0^\circ \div 180^\circ$ или $180^\circ \div 360^\circ$) принадлежит измеренная величина. Иными словами, ФД измеряет только разности фаз $0^\circ \div 180^\circ$. При традиционном подходе проблема расширения диапазона измеряемых фаз решается за счет применения делителя входной частоты [13] на D-триггерах. Однако на компонентах TSMC 0.35um SiGe подобный подход труднореализуем в условиях СВЧ, когда усиление в регенеративной петле обратной связи в триггерах оказывается достаточно малым, что в конечном итоге замедляет нарастание выходного фронта вплоть до неработоспособности триггера.

В экономических системах EIS для улучшения итоговой точности и максимизации частотных свойств предлагается использовать альтернативный метод расширения диапазона измеряемых разностей фаз и одновременно увеличения точности измерения близких к краям диапазона значений (0° , 180° и 360°). Суть метода заключается в использовании дополнительных параллельных каналов измерения разности фаз сигнала БД и сигналов, смещённых на фиксированные $\pm 90^\circ$ (ортогонально) относительно сигнала опроса БД. Таким образом, количество измерений и блоков утраивается.

При тройном измерении разности фаз (рис. 11) помимо основного канала с выходом U_{PHD} для измерения разности фаз усиленного сигнала БД $U_a(t)$ и сигнала опроса (синус), присутствуют два дополнительных канала: первый канал с выходом U_{X1} измеряет разность фаз между $U_a(t)$ и смещённым на $+90^\circ$ сигналом опроса (косинус), второй канал с выходом U_{X2} измеряет разность фаз между $U_a(t)$ и смещённым на -90° сигналом опроса (инвертированный косинус).

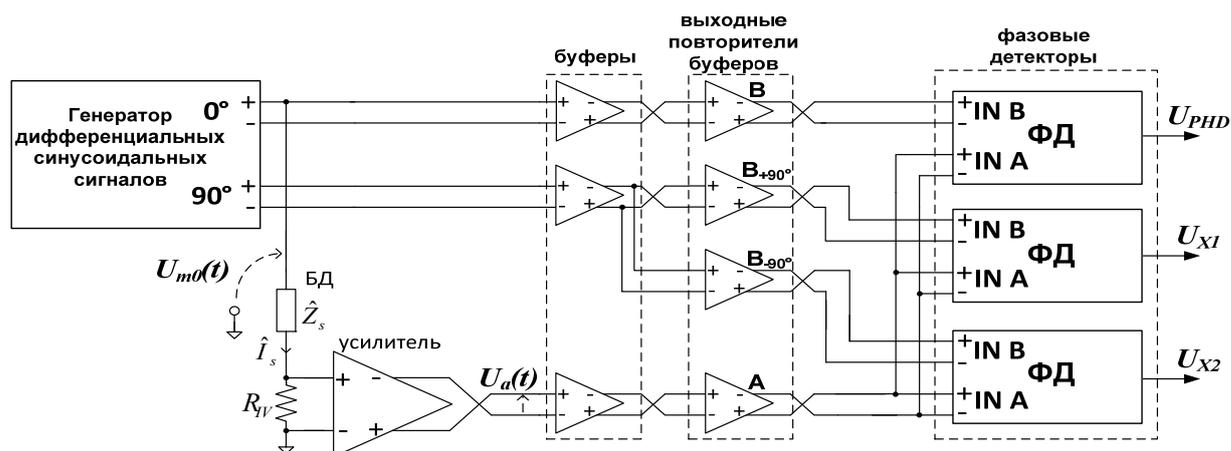


Рис. 11. – Структура подсистемы EIS с тройным измерением разности фаз

Оцифрованные величины напряжений U_{PHD} , U_{X1} и U_{X2} и U_{PHD90} , а также параметры линейной аппроксимации характеристики напряжение-фаза ФД K_{PHD} (коэффициент преобразования) и A_{APPO} (точка пересечения с осью ординат) для промежутка от 0° до 180° , предоставляется для последующей программной обработки при помощи алгоритма, блок-схема которого представлена на рис. 12.

Для верного определения промежутка ($0^\circ \div 180^\circ$ или $180^\circ \div 360^\circ$), в котором находится искомая разность фаз φ , алгоритм (рис. 12) использует сравнение двух напряжений U_{X1} и U_{X2} . Таким образом, искажения характеристики напряжение-разность фаз ФД не имеют значения. Важным является только сохранение монотонности данной характеристики на обсуждаемых промежутках $0^\circ \div 180^\circ$ и $180^\circ \div 360^\circ$. Улучшение точности измерения опирается на факт, что среди трёх точек, в которых произведено измерение, как минимум одна будет попадать в доверительную окрестность $\pm 45^\circ$ от точек 90° и 270° , где характеристика ФД максимально линейна.

Ключевые параметры разработанной подсистемы EIS для определения фазы выходного сигнала БД сведены в табл. 1. Там же приведены характеристики функционально схожих устройств для сравнения.

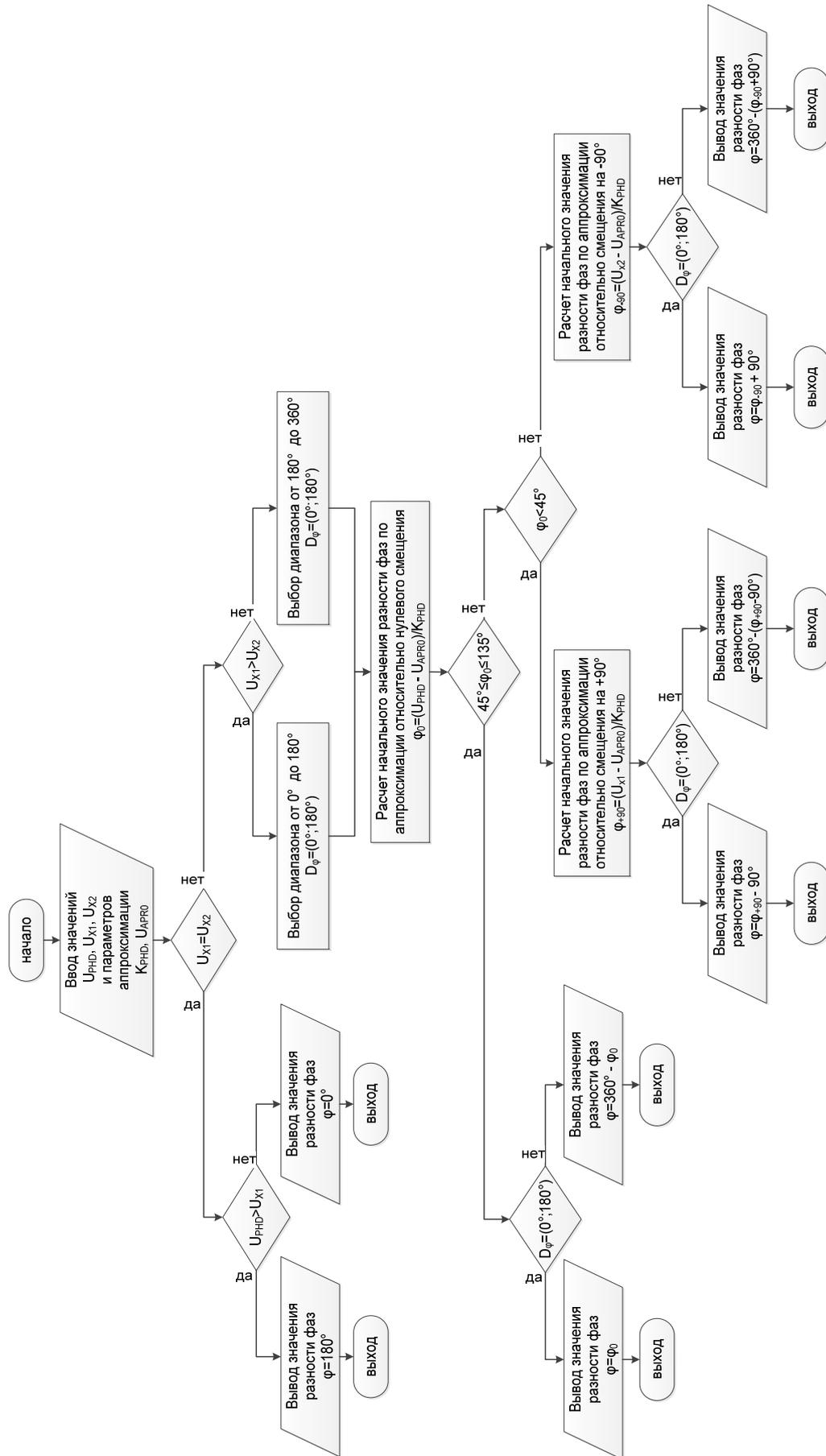


Рис. 12. – Алгоритм определения итоговой разности фаз при тройном измерении

Таблица № 1

Сравнительные характеристики ФД и смесителей

Схема	технология	полоса частот	диапазон вход. напр.	относит. погрешность	площадь на кристалле	напр. питания	статич. ток-потребление
ФД рис.2 @10GHz	0.35um BiCMOS	1ГГц-10ГГц	1,8В	0,4% ⁽¹⁾	0,5мм ² ⁽²⁾	3,3В	80мА
ФД рис.2 @20GHz	0.35um BiCMOS	1ГГц - 20ГГц	1,8В	1,4% ⁽¹⁾	0,5мм ² ⁽²⁾	3,3В	80мА
ФД в [14]	0.9um	8ГГц	0,64В	–	0,9 мм ² ⁽²⁾	5В	15мА
смеситель в [6]	0.35um CMOS	0,2ГГц-3ГГц	–	1%	0,1мм ² ⁽²⁾	1,5В	325мкА

замечания: ⁽¹⁾ с учетом работы алгоритма; ⁽²⁾ приближительная оценка.

Основные выводы

Представленные результаты позволяют сделать вывод, что разработанная схема ФД при обработке выходных величин представленным алгоритмом способна обеспечивать высокие метрологические характеристики в СВЧ диапазоне. Точность и частотный диапазон фазового детектирования соответствует таковым для амплитудного детектирования [6], составляя таким образом единую сбалансированную систему EIS на основе амплитудно-фазового метода. Большой диапазон выходных напряжений и малая скорость их изменения позволяет использовать стандартные модули ввода аналоговых величин для ввода сигналов в ЭВМ.

Частотные характеристики биполярных транзисторов использованного экономичного техпроцесса TSMC SiGe 0.35um существенно теряют усилительные свойства при частотах порядка 10ГГц и стандартной шине 3,3 В, что ведёт к повышенному энергопотреблению входных буферов. Такие частоты не позволяют применять КМОП или смешанные БиКМОП решения с лучшей энергоэффективностью [15]. Отсутствие быстродействующих pnp транзисторов в выбранном техпроцессе делает невозможным использование различных техник расширения частот активных блоков [16].

Применение схемотехники без обратных связей, несмотря на трудоемкость реализации и необходимость в дополнительных манипуляциях с выходными данными на программном уровне, позволило добиться для техпроцесса TSMC SiGe 0.35um наилучшего сочетания точности и быстродействия в поставленной задаче.

Благодарность за финансовую поддержку работы

Исследование выполнено за счет гранта Российского научного фонда (проект № 16-19-00122)

Литература

1. Barsoukov E., Macdonald J.R. Impedance Spectroscopy; Theory, Experiment, and Applications // 2nd ed., Wiley Interscience Publ., 2005, 616 p.
 2. Perumal Veeradasan, Hashim Uda. Advances in biosensors: Principle, architecture and applications // J. of Applied Biomed. 2014, v.12, issue 1, pp. 1-15.
 3. A. Manickam, C.A. Johnson, S. Kavusi, A. Hassibi. Interface design for cmos-integrated electrochemical impedance spectroscopy (EIS) biosensors // Sensors 12, 11, 2012, pp. 14467–14488. DOI: 10.3390/s121114467.
 4. Л.К. Самойлов, Е.А. Жебрун. Методы предварительной обработки сигналов биологических датчиков в системах электрохимической импедансной спектроскопии // Известия ЮФУ. Технические науки, №5, май 2016. - Таганрог: Изд-во ТТИ ЮФУ, 2016, с.135-150.
 5. Kassanos P., Triantis I., Demosthenous A. A CMOS Magnitude/Phase Measurement Chip for Impedance Spectroscopy // IEEE Sensors Journal, 13(6), 2013, pp. 2229-2236. DOI: 10.1109/JSEN.2013.2251628.
 6. Leontiy K. Samoilov, Evgeniy A. Zhebrun, Nikolay N. Prokopenko, Petr S. Budyakov. Research of peak detector limiting characteristics for analog interface in impedance spectroscopy systems // 2017 IEEE Int. Conf. on Electronics, Circ. and Sys., ICECS 2017, Batumi, Georgia, Dec 5-8, 2017 (in press).
 7. Хоровиц П., Хилл У. Искусство схемотехники: в 3 т. Т. 2 / пер. с англ. 4е изд., перераб. и доп. – М.: Мир, 1993. – 371с.: ил.
 8. M. Bakhshiani, M.A. Suster, P. Mohseni A. Broadband Sensor Interface IC for Miniaturized Dielectric Spectroscopy From MHz to GHz // IEEE J. Solid-State Circuits, vol. 49, no. 8, pp. 1669-1681, 2014.
 9. Razavi, B., Y. Ota, R. G. Swarz. Design Techniques for Low-Voltage High-speed Digital Bipolar Circuits // IEEE Journal of Solid-state Circuits, Vol. 29, March 1994, pp.332-339.
 10. B. Razavi and J. Sung. A 6-GHz 60-mW BiCMOS phase-locked loop with 2-V supply // IEEE J. Solid-State Circuits, vol. 29, pp. 1560–1565, Dec. 1994.
-

11. Самойлов Л. К. Ввод – вывод аналоговых сигналов в системах управления и контроля. – Таганрог: Изд-во ЮФУ, 2015. – 264 с.
12. Wu-Hsin Chen, Inerowicz, M.E. and Byunghoo Jung. Phase Frequency Detector With Minimal Blind Zone for Fast Frequency Acquisition // Circuits and Systems II: Express Briefs, IEEE Transactions on, vol.57, no.12, pp.936,940, Dec. 2010.
13. Olexa, Jakub, Marek Gasior and Oldrich Ondracek. Differential phase detector for precise phase alignment // 2016 New Trends in Signal Processing, pp. 1-5.
14. Ansgar Pottbacker et al. A Si Bipolar Phase and Frequency Detector IC for Clock Extraction Up to 8 Gb/s // IEEE Journal of Solid-State Circuits, vol. 27, No. 12, Dec. 1992, pp. 1747-1751.
15. Миляева С.И., Прокопенко Н.Н., Жебрун Е.А. Высокочастотные избирательные усилители и полосовые фильтры на КМОП транзисторах SiGe техпроцесса // Инженерный вестник Дона, 2012, №3. URL: ivdon.ru/magazine/archive/n3y2012/1033.
16. Н.Н. Прокопенко, П.С. Будяков, И.В. Пахомов, В.В. Суворов. Метод расширения диапазона рабочих частот истоковых и эмиттерных повторителей напряжения // Инженерный вестник Дона, 2013, №1. URL: ivdon.ru/ru/magazine/archive/n1y2013/1559.

References

1. Barsoukov E., Macdonald J.R. Impedance Spectroscopy; Theory, Experiment, and Applications. 2nd ed., Wiley Interscience Publications, 2005, 616 p.
 2. Perumal Veeradasan, Hashim Uda. Journal of Applied Biomedicine 2014, v.12, issue 1, pp. 1-15.
 3. A. Manickam, C.A. Johnson, S. Kavusi, A. Hassibi. Sensors 12, 11, 2012, pp. 14467–14488. DOI: 10.3390/s121114467.
 4. L.K. Samoilo, E.A. Zhebrun. Izvestiya YuFU. Tekhnicheskie nauki, №5, may 2016. Taganrog, Izd-vo TTI YuFU, 2016, p.135-150 (in Russian).
 5. Kassanos P., Triantis I., Demosthenous A. IEEE Sensors Journal, 13(6), 2013, pp. 2229-2236. DOI: 10.1109/JSEN.2013.2251628.
 6. Leontiy K. Samoilo, Evgeniy A. Zhebrun, Nikolay N. Prokopenko, Petr S. Budyakov. Research of peak detector limiting characteristics for analog interface in impedance spectroscopy systems. 2017 IEEE International Conference on Electronics, Circuits and Systems, ICECS 2017, Batumi, Georgia, December 5-8, 2017 (in press).
-



7. Khorovits P., Khill U. *Iskusstvo skhemotekhniki: v 3 t. T. 2 / per. s angl. 4e izd., pererab. i dop [The Art of Electronics]*. M. Mir, 1993, 371p.
8. M. Bakhshiani, M.A. Suster, P. Mohseni A. *IEEE J. Solid-State Circuits*, vol. 49, no. 8, pp. 1669-1681, 2014.
9. Razavi, B., Y. Ota, R. G. Swarz. *IEEE Journal of Solid-state Circuits*, Vol. 29, pp.332-339, March 1994.
10. B. Razavi and J. Sung. *IEEE J. Solid-State Circuits*, vol. 29, pp. 1560–1565, Dec. 1994.
11. Samoilov L.K. *Vvod-vyvod analogovykh signalov v sistemakh upravleniya i kontrolya [Input – output of analog signals in control systems]*. Taganrog, Izd-vo YuFU, 2015. 264 p. (in Russian).
12. Wu-Hsin Chen, Inerowicz, M.E. and Byunghoo Jung. *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol.57, no.12, Dec. 2010, pp.936-940.
13. J. Olexa, G. Marek, O. Oldrich. *Differential phase detector for precise phase alignment. 2016 New Trends in Signal Processing*, pp. 1-5.
14. Ansgar Pottbacker et al. *IEEE Journal of Solid-State Circuits*, vol. 27, No. 12, Dec. 1992, pp. 1747-1751.
15. Milyaeva S.I., Prokopenko N.N., Zhebrun E.A. *Inzhenernyj vestnik Dona (Rus)*, 2012, №3. URL: ivdon.ru/magazine/archive/n3y2012/1033.
16. N.N. Prokopenko, P.S. Budyakov, I.V. Pahomov, V.V. Suvorov. *Inzhenernyj vestnik Dona (Rus)*, 2013, №1. URL: ivdon.ru/ru/magazine/archive/n1y2013/1559.